

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-027401

(43)Date of publication of application : 30.01.1990

(51)Int.Cl.

G05B 1/02  
H03F 3/34

(21)Application number : 63-176814 (71)Applicant : HITACHI LTD  
HITACHI MICRO COMPUT  
ENG LTD

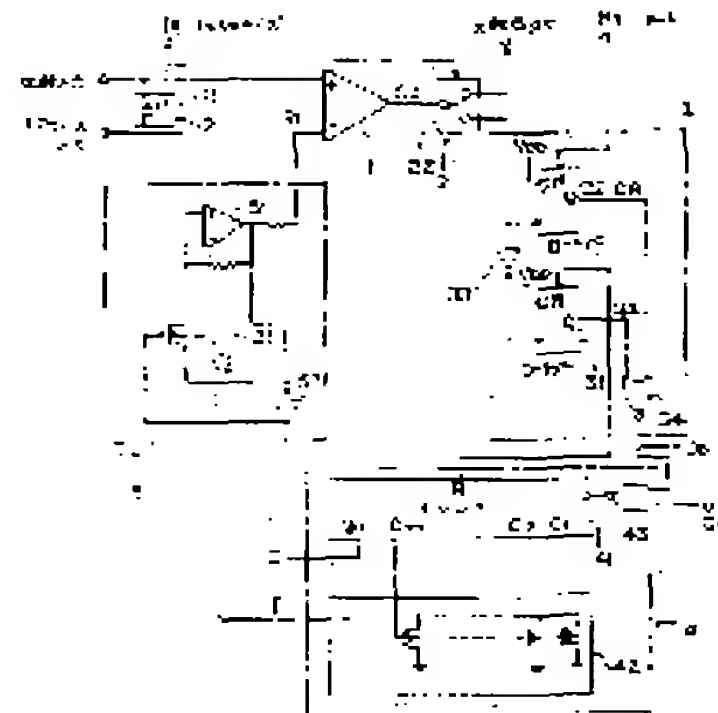
(22)Date of filing : 15.07.1988 (72)Inventor : YONETANI HIROYUKI  
WATANABE KAZUO

## (54) OFFSETTING CONTROL CIRCUIT

### (57)Abstract:

**PURPOSE:** To automatically correct the offsetting of a comparator, a differential amplifier circuit and the like without using an external terminal in an LSI internal part by correcting the input level of a controlled circuit by the correcting level set automatically so as to make the offsetting of the controlled circuit into zero.

**CONSTITUTION:** When an initializing signal Is is set to H level, the comparing input of a comparator 1 which is a controlled circuit and the reference input are mutually shorted to the same potential and a comparing output Co is switched to the detecting input side of an output change detecting circuit 3. When a resetting signal Rs is given, an output level I of a variable level generating circuit 4 is continuously changed and added to the reference input level of a comparator 1 by a level control circuit 5. When the input level passes through a point which becomes an offsetting zero, the output change detecting circuit 3 switches a detecting output Do from H level to L level simultaneously when the comparing output Co is changed and stops the stepping action of a counter 41. Thus, the input offset of the comparator 1 is automatically corrected.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-27401

⑬ Int. Cl.<sup>8</sup>

G 05 B 1/02  
H 03 F 3/34

識別記号

庁内整理番号

B

7740-5H  
6751-5J

⑭ 公開 平成2年(1990)1月30日

審査請求 未請求 請求項の数 3 (全4頁)

⑮ 発明の名称 オフセット制御回路

⑯ 特 願 昭63-176814

⑰ 出 願 昭63(1988)7月15日

⑱ 発 明 者 米 谷 浩 幸 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発 明 者 渡 辺 一 雄 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社  
東京都小平市上水本町1479番地

㉒ 代 理 人 弁理士 大日方 富雄

明 細 書

1. 発明の名称

オフセット制御回路

2. 特許請求の範囲

1. 比較動作または差動動作を行なう被制御回路の出力変化点を検出する出力変化検出手段と、この出力変化検出手段が上記出力変化点を検出するまで出力レベルを連続的に変化させる可変レベル発生手段と、上記被制御回路に伝達される入力レベルに上記可変レベル発生手段の出力レベルを加えるレベル制御回路とを備えたことを特徴とするオフセット制御回路。

2. 比較動作または差動動作を行なう被制御回路の出力の立ち下がりでセットされる第1の保持回路と、上記出力の立ち上がりでセットされる第2の保持回路とを有し、上記第1、第2の保持回路の各セット出力の論理和を上記出力の変化点検出出力として出力する出力変化検出手段を備えた特許請求の範囲第1項記載のオフセット制御回路。

3. 出力変化検出手段が被制御回路の出力の変化

点を検出するまで歩進駆動されるカウンタと、このカウンタのカウント値をDA変換して出力するDA変換回路とを有する可変レベル発生手段を備えた特許請求の範囲第1項または第2項記載のオフセット制御回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、オフセット制御回路、さらには比較器や差動増幅回路などにおいて生じるオフセットの補正に適用して有効な技術に関するもので、例えばLSI(大規模半導体集積回路装置)内にて比較器や差動増幅回路などの入力オフセットを自動的に補正させる技術に利用して有効な技術に関するものである。

〔従来の技術〕

例えば、高精度を要求されるところに使用される比較器や差動増幅回路では、その入力オフセットを精密に補正する必要がある。

このため、従来では、高精度を要する比較器や差動増幅回路をLSIに組み込んだ場合に、オフ

セット補正用の外部端子を設け、この外部端子にポテンショメータを外付けして入力オフセットをゼロにするような調整操作を個別に行なっていた（例えばNEC発行「産業用リニアICデータブック1987年版」273頁参照）。

#### 【発明が解決しようとする課題】

しかしながら、上述した技術には、次のような問題のあることが本発明者らによって明らかとされた。

すなわち、一般に、LSIなどの半導体集積回路装置では、製造および実装のコストを低減させるなどの理由により、外部端子の数いわゆるピン数をできるだけ少なくすることが望まれている。このような状況の下で、通常は使用されることが少ないオフセット補正用の外部端子を設けることは好ましくない。また、外付ポテンショメータを用いる従来の方法では、オフセットを精密に補正するためのトリミング工程が別に必要となる。

本発明の目的は、比較器や差動増幅回路などのオフセットを、外部端子を使わずに、LSI内部

制御回路の入力レベルが加算または減算修正されるようになる。

これにより、比較器や差動増幅回路などのオフセットを、外部端子を使わずに、LSI内部にて自動的に補正できるようにする、という目的が達成される。

#### 【実施例】

以下、本発明の好適な実施例を図面を参照しながら説明する。

なお、図において、同一符号は同一あるいは相当部分を示すものとする。

第1図は本発明の技術が適用されたオフセット制御回路の一実施例を示したものであって、1は被制御回路である比較器、2は比較器1の入出力を切り換える切換回路、3は比較動作または差動動作を行なう被制御回路の出力変化点を検出する出力変化検出回路、4は出力変化検出回路3が上記出力変化点を検出するまで出力レベルIを連続的に変化させる可変レベル発生回路、5は被制御回路である比較器1のリファレンス入力（-）に

にて自動的に補正できるようにする、という技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

#### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、比較動作または差動動作を行なう被制御回路の出力変化点を検出する出力変化検出手段と、この出力変化検出手段が上記出力変化点を検出するまで出力レベルを連続的に変化させる可変レベル発生手段と、上記被制御回路に伝達される入力レベルに上記可変レベル発生手段の出力レベルを加えるレベル制御回路とを有するものである。

#### 【作用】

上記した手段によれば、被制御回路のオフセットをゼロにするような補正レベルが自動的に設定され、この設定された補正レベルによって上記被

伝達される入力レベルR<sub>i</sub>に上記可変レベル発生回路4の出力レベルIを加えるレベル制御回路である。

ここで、切換回路2は、アナログスイッチ21およびマルチプレクサ22などによって構成される。アナログスイッチ21は、オフセット補正を行なう初期化（イニシャライズ）時に、比較器1のアナログ比較入力（+）とリファレンス入力（-）とを互いに同電位に短絡する。マルチプレクサ22は、初期化時に比較器1の2値論理レベルによる比較出力C<sub>o</sub>を出力変化検出回路3の入力側に切り換える。I<sub>o</sub>は初期化設定信号であって、アナログスイッチ21とマルチプレクサ22の各制御端子に入力される。

出力変化検出回路3は、第1、第2の保持回路（D-F/F）31、32、インバータ33、NORゲート34などによって構成される。第1の保持回路31は、比較器1の出力C<sub>o</sub>の立ち下がりでセットされる。第2の保持回路32は、上記出力C<sub>o</sub>の立ち上がりでセットされる。インバー

タ33は、比較器1の出力C<sub>o</sub>を反転して第2の保持回路32に入力させる。NORゲート34は、第1、第2の保持回路31、32の各セット出力Q<sub>A</sub>、Q<sub>B</sub>の論理和(Q<sub>A</sub>+Q<sub>B</sub>)をとり、この論理和出力を変化点検出出力D<sub>o</sub>として出力する。

可変レベル発生回路4は、2進n桁カウンタ41、電流加算型のDA変換回路42、NANDゲート43などによって構成される。カウンタ41は、出力変化検出回路3が比較器1の出力変化点を検出するまでクロックCKによって歩進駆動される。DA変換回路42は電流加算型の並列入力型DA変換器であって、カウンタ41のカウント値を電流値に変換する。NANDゲート43は、リセット信号Rが入力されてから上記変化点検出出力D<sub>o</sub>が発せられるまでの間、クロックCKをカウンタ41に入力させる。この場合、カウンタ41のカウント値Q<sub>1</sub>~Q<sub>n</sub>のうち、DA変換回路42に入力されて電流値に変換されるのはQ<sub>1</sub>~Q<sub>n-1</sub>までであって、最上位の1ビットQ<sub>n</sub>は正負の符号を示す符号ビットCとして使われるよ

うになっている。と、可変レベル発生回路5の出力レベルIが最低レベルから最高レベルまで連続的に変化する。この連続的に変化するレベルIは、レベル制御回路5によって上記比較器1のリファレンス入力レベルに加えられる。

ここで、比較器1のリファレンス入力レベルがオフセットゼロとなる点を通過すると、つまり可変レベル発生回路4の出力レベルIが比較器1の入力オフセットV<sub>o f</sub>に相当するレベルを通過すると、この通過の前後で比較器1の比較出力C<sub>o</sub>の論理がHからLまたはLからHに反転する。このときの比較器1の出力変化は、出力変化検出回路4によって検出される。

出力変化検出回路4は、比較器1の比較出力C<sub>o</sub>が変化すると同時に検出出力D<sub>o</sub>をHからLに切り換えて、可変レベル発生回路4内のカウンタ41の歩進動作を停止させる。これにより、可変レベル発生回路4の出力レベルIは、上記比較器1の比較出力C<sub>o</sub>が反転した直後のレベル、すなわち比較器1の入力オフセットがゼロに補正され

うになっている。

レベル制御回路5は利得が1になるように負帰還をかけられた演算増幅器51、アナログ切換スイッチ52、インバータ53などによって構成される。演算増幅器51は、上記可変レベル発生回路4の出力レベルIを上記比較器1のリファレンス入力レベルR<sub>i</sub>に加える。アナログ切換スイッチ52は、上記出力レベルIの正負極性を上記符号ビットCの論理レベルに従って切り換える。

以上のように構成されたオフセット制御回路について、以下その動作を説明する。

第2図は、第1図に示したオフセット制御回路の動作例を示す。

第1図および第2図において、まず、初期化信号I<sub>o</sub>がHにセットされると、切換回路2によって、被制御回路である比較器1の比較入力(+)とリファレンス入力(-)とが互いに両電位に短絡されるとともに、その比較出力C<sub>o</sub>が出力変化検出回路3の検出入力側に切り換えられる。

この初期化状態にてリセット信号R<sub>o</sub>を与える

た直後のレベルに固定される。このようにして固定されたレベルは、次にリセット信号Rが与えられるまで保持される。

以上のようにして、比較器1の入力オフセットが自動的に補正されるとともに、この補正された状態が保持される。この後、初期化信号I<sub>o</sub>をLにリセットすれば、入力オフセットがゼロに補正された状態の比較器1は、オフセット制御回路側から開放されて、通常の使用状態に復帰する。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である比較器のオフセット補正に適用した場合について説明したが、それに限定されるものではなく、例えば第3図に示すように、多段接続された差動増幅回路1-1~1-mのオフセット補正にも適用でき

る。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、比較器や差動増幅回路などのオフセットを、外部端子を使わずに、LSI内部にて自動的に補正できるようになる、という効果が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例によるオフセット制御回路を示す図。

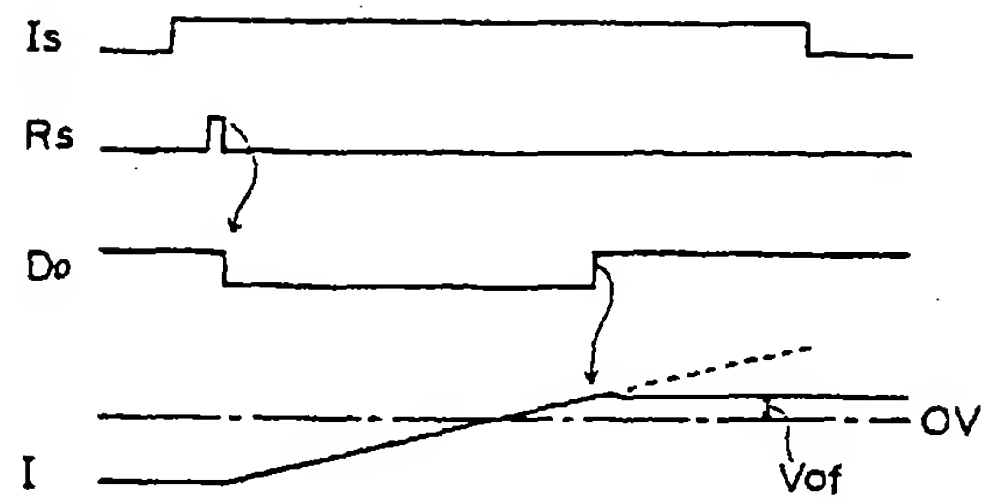
第2図は第1図に示した回路の動作例を示す図。

第3図は本発明の別の実施例を示す図である。

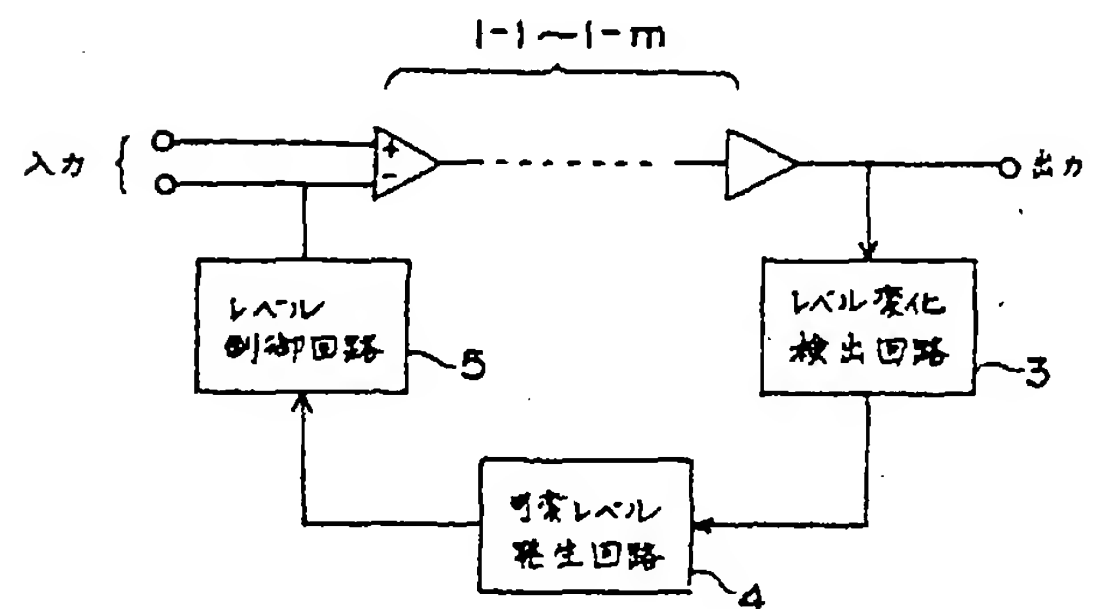
1……被制御回路である比較器、1-1~1-m……被制御回路の別の例である差動増幅回路、2……切換回路、3……出力変化検出回路、4……可変レベル発生回路、5……レベル制御回路、VDD……電源電位。

代理人 弁理士 大日方富雄

第2図



第3図



第1図

